

DERWENT-ACC-NO: 1997-446365
DERWENT-WEEK: 199741
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor IC for portable telephone in mobile communication -
comprises control circuit which sets voltage level of second signal equal to predetermined value, when detector circuit judges that voltage level of first signal is not constant

PATENT-ASSIGNEE: FUJITSU LTD [FUIT], FUJITSU VLSI LTD [FUIV]

PRIORITY-DATA: 1996JP-0013221 (January 29, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 09205355 A	August 5, 1997	N/A
007	H03K 019/00	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 09205355A	N/A	1996JP-0013221
	January 29, 1996	

INT-CL (IPC): H03K019/00; H03K019/007 ; H03K019/0175

ABSTRACTED-PUB-NO: JP 09205355A

BASIC-ABSTRACT: The circuit comprises a first logic circuit (11) which receives power from a first power supply (V1). Based on the voltage level of an input signal (IN2), the first logic circuit sets the voltage level of first signal (S11). A second logic circuit (12) which uses a second power supply (V2) is also provided. The second logic circuit sets the voltage level of second signal (S12) based on the level of the first signal. An unfixed output detector circuit (13) is provided which uses both the first

and second power supplies.

When the first power supply is cut-off, the unfixed output detector circuit judges that the potential level of the first signal is not fixed and output the judgment result to a control circuit (14). When the detector circuit judges that the first signal is not fixed, the control circuit then nullifies the first signal and sets the voltage level of the second signal equal to a predetermined value.

ADVANTAGE - Reduces power consumption. Enables to set potential of output signal of logic circuit to predetermined value, even when power supply is cut off.

CHOSEN-DRAWING: Dwg.1/7

TITLE-TERMS:

SEMICONDUCTOR IC PORTABLE TELEPHONE MOBILE COMMUNICATE
COMPRISE CONTROL CIRCUIT
SET VOLTAGE LEVEL SECOND SIGNAL EQUAL PREDETERMINED VALUE
DETECT CIRCUIT
JUDGEMENT VOLTAGE LEVEL FIRST SIGNAL CONSTANT

DERWENT-CLASS: U21 W01

EPI-CODES: U21-C02; U21-C03A2A; U21-C03C; W01-C01D3C;
W01-C01E5B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1997-371986

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-205355

(43)公開日 平成9年(1997)8月5日

(51)Int.Cl. [*]	識別記号	序内整理番号	F I	技術表示箇所
H 03 K 19/00			H 03 K 19/00	A
19/0175			19/007	
19/007			19/00	101Z

審査請求 未請求 請求項の数4 OL (全7頁)

(21)出願番号 特願平8-13221	(71)出願人 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日 平成8年(1996)1月29日	(71)出願人 富士通ヴィエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2
	(72)発明者 長谷川 守仁 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
	(74)代理人 弁理士 恩田 博宣

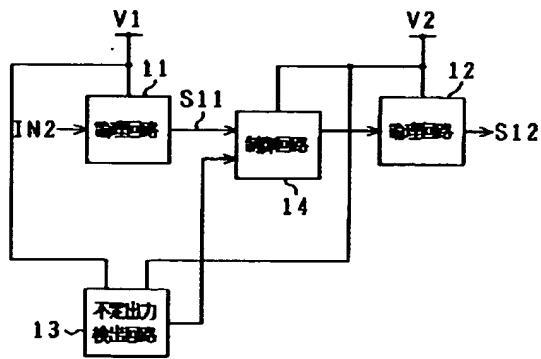
(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】低消費電力化を図りつつ、電源が遮断されても論理回路の出力信号の電位を予め定められた電位にする。

【解決手段】第1の論理回路11は第1の電源V1を動作電源として供給され、入力信号IN2の電位に基づく第1の信号S11を出力する。第2の論理回路12は第2の電源V2を動作電源として供給され、信号S11の電位に基づく第2の信号S12を出力する。不定出力検出回路13は電源V1及び電源V2を動作電源として供給されており、電源V1の遮断に基づいて信号S11の電位が不定であることを検出する。制御回路14は、不定出力検出回路13によって信号S11の電位が不定であると検出されたとき、該信号S11を無効化し、信号S12の電位が予め定められた電位になるように制御する。

本発明の原理説明図



1

2

【特許請求の範囲】

【請求項1】 第1の電源が動作電源として供給され、かつ、入力信号の電位に基づく第1の信号を出力する第1の論理回路と、
第2の電源が動作電源として供給されるとともに、前記第1の信号の電位に基づく第2の信号を出力する第2の論理回路と、
前記第1及び第2の電源が動作電源として供給され、かつ、前記第1の電源の遮断に基づいて前記第1の信号の電位が不定であることを検出するための不定出力検出回路と、

前記不定出力検出回路によって前記第1の信号の電位が不定であると検出されたとき、該第1の信号を無効化し、前記第2の信号の電位が予め定められた電位になるように制御する制御回路とを備える半導体集積回路。

【請求項2】 前記不定出力検出回路は、前記第1の電源に一端が接続された抵抗回路と、前記抵抗回路の他端と低電位電源との間に接続された第1のMOSトランジスタとを備え、前記抵抗回路及び第1のMOSトランジスタ間の出力端子から前記第1の電源の遮断に基づく検出信号を出力する第1のインバータと、

前記第2の電源及び前記低電位電源間に直列に接続された第2及び第3のMOSトランジスタを有し、該第2及び第3のMOSトランジスタ間の出力端子から前記第1のインバータの検出信号を反転した信号を前記第1のMOSトランジスタに供給する第2のインバータとを備える請求項1に記載の半導体集積回路。

【請求項3】 前記不定出力検出回路は、前記第1のインバータの出力端子と前記低電位電源との間にブルダウン抵抗を備える請求項2に記載の半導体集積回路。

【請求項4】 前記制御回路は、前記第2の電源が動作電源として供給され、かつ、前記第1の信号を遅延させるためのディレイ調整回路と、

前記不定出力検出回路の検出結果に基づいて前記ディレイ調整回路の出力信号の通過及び遮断を制御するための第3の論理回路とを備える請求項1～3のいずれか一項に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路に関する。近年の半導体技術の進歩によって半導体集積回路の小型化が進められている。移動体通信分野における半導体技術の発達はめざましく、特に携帯電話の小型化が要求されている。

【0002】 これに伴い、携帯電話に使用されているバッテリも少しずつ小型化されている。バッテリの小型化に対応するためには携帯電話に搭載されている半導体集積回路の低消費電力化を図ることが必要である。

【0003】

【従来の技術】 従来の半導体集積回路として、図6に示

すように、電源V1で動作する第1の論理回路1と、電源V2で動作する第2の論理回路2とを設けたものがある。第1の論理回路1は入力信号IN1の電位に基づく信号S1を出力する。第2の論理回路2は信号S1の電位に基づく信号S2を出力する。この半導体集積回路は、電源V1を遮断して第1の論理回路1を停止させることにより低消費電力化を図ることができる。

【0004】 しかしながら、電源V1が遮断されると、論理回路1の信号S1の電位が不定となり、その結果、論理回路2の信号S2の電位が不安定になってしまうという問題がある。

【0005】 このことを図7の半導体集積回路に従って説明する。第1の論理回路としてのPLL周波数シンセサイザ3は電源V1及びグランドGNDを動作電源として供給されている。PLL周波数シンセサイザ3は水晶発振器の発振信号に基づいて設定周波数と等しい周波数の出力信号をfv1を出力する。

【0006】 PLL周波数シンセサイザ3は、PLLのロック状態を検出するためのロック検出回路4を備える。ロック検出回路4はロック状態を検出するとLレベルの検出信号LD1を出力し、アンロック状態を検出しているとHレベルの検出信号LD1を出力する。

【0007】 なお、PLLのロック状態とはPLL周波数シンセサイザの出力信号を分周した比較信号の位相と、前記発振信号を分周した基準信号の位相とが一致している状態である。

【0008】 第2の論理回路5はPLL周波数シンセサイザ6及び2入力OR回路8を備えており、電源V2及びグランドGNDを動作電源として供給されている。PLL周波数シンセサイザ6も前記発振信号に基づいて設定周波数と等しい周波数の出力信号をfv2を出力する。

【0009】 PLL周波数シンセサイザ6は、PLLのロック状態を検出するためのロック検出回路7を備え、ロック検出回路7はロック状態を検出するとLレベルの検出信号LD2を出力し、アンロック状態を検出しているとHレベルの検出信号LD2を出力する。

【0010】 OR回路8はロック検出信号LD1, LD2を入力している。OR回路8はロック検出信号LD1, LD2のいずれか一方がHレベルである、すなわち、PLL周波数シンセサイザ3, 6のいずれか一方がアンロック状態であると、Hレベルの信号S3を出力する。OR回路8はロック検出信号LD1, LD2が共にLレベルである、すなわち、PLL周波数シンセサイザ3, 6が共にロック状態であると、Lレベルの信号S3を出力する。

【0011】 このように構成された半導体集積回路において、PLL周波数シンセサイザ6がロックしていてロック検出信号LD2がLレベルであるとする。このとき、電源V1が遮断されると、PLL周波数シンセサイ

ザ3及びロック検出回路4が停止される。この場合、PLL周波数シンセサイザ3は電源V1を遮断されてアンロック状態であるため、信号S3はHレベルとなる必要がある。

【0012】ところが、電源V1が遮断されているため、検出信号LD1の電位は不定となる。その結果、信号S3の電位はロック検出信号LD1と同様に不定となってしまい、半導体集積回路全体が所望の動作を行えない。

【0013】

【発明が解決しようとする課題】本発明は上記問題点を解決するためになされたものであって、その目的は、低消費電力化を図りつつ、電源が遮断されても論理回路の出力信号の電位を予め定められた電位にすることができる半導体集積回路を提供することにある。

【0014】

【課題を解決するための手段】図1は本発明の原理説明図である。第1の論理回路11は第1の電源V1を動作電源として供給されており、入力信号IN2の電位に基づく第1の信号S11を出力する。

【0015】第2の論理回路12は第2の電源V2を動作電源として供給されており、第1の信号S11の電位に基づく第2の信号S12を出力する。不定出力検出回路13は第1の電源V1及び第2の電源V2を動作電源として供給されており、第1の電源V1の遮断に基づいて第1の信号S11の電位が不定であることを検出する。

【0016】制御回路14は、不定出力検出回路13によって第1の信号S11の電位が不定であると検出されたとき、該第1の信号S11を無効化し、第2の信号S12の電位が予め定められた電位になるように制御する。

【0017】(作用)従って、不定出力検出回路13によって第1の電源V1の遮断に基づいて第1の信号S11の電位が不定であることが検出される。不定出力検出回路13によって第1の信号S11の電位が不定であると検出されたとき、制御回路14によって第1の信号S11が無効化され、第2の信号S12の電位が予め定められた電位になるように制御される。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図2、図3に従って説明する。図2は本形態の半導体集積回路を示し、第1の論理回路としてのPLL周波数シンセサイザ21、第2の論理回路23、不定出力検出回路27及び制御回路36を備えている。

【0019】PLL周波数シンセサイザ21は第1の電源V1及び低電位電源としてのグランドGNDを動作電源として供給されている。PLL周波数シンセサイザ21は水晶発振器の発振信号に基づいて設定周波数と等しい周波数の出力信号をfv1を出力する。

【0020】PLL周波数シンセサイザ21は、PLLのロック状態を検出するためのロック検出回路22を備えており、検出結果に応じて第1の信号としてのロック検出信号LD1を出力する。ロック検出回路22はロック状態を検出するとLレベルの検出信号LD1を出力し、アンロック状態を検出しているとHレベルの検出信号LD1を出力する。

【0021】なお、PLLのロック状態とはPLL周波数シンセサイザの出力信号を分周した比較信号の位相10と、前記発振信号を分周した基準信号の位相とが一致している状態である。

【0022】第2の論理回路23はPLL周波数シンセサイザ24及び2入力OR回路26を備えており、第2の電源V2及びグランドGNDを動作電源として供給されている。PLL周波数シンセサイザ24も前記発振信号に基づいて設定周波数と等しい周波数の出力信号をfv2を出力する。

【0023】PLL周波数シンセサイザ24は、PLLのロック状態を検出するためのロック検出回路25を備え、ロック検出回路25はロック状態を検出するとLレベルの検出信号LD2を出力し、アンロック状態を検出しているとHレベルの検出信号LD2を出力する。

【0024】OR回路26はロック検出信号LD2と、制御回路36の出力信号S39を入力しており、両信号LD2、S39の電位に基づいて第2の信号としての信号S26を出力する。

【0025】不定出力検出回路27は、電源V1、V2を動作電源として供給されており、電源V1の遮断に基づいて第1の信号LD1の電位が不定であることを検出する。

【0026】不定出力検出回路27は、第1のインバータ28と第2のインバータとしてのCMOSインバータ31とを備える。インバータ28は電源V1に一端が接続された抵抗回路としてのpMOSトランジスタ29と、pMOSトランジスタ29とグランドGNDとの間に接続された第1のMOSトランジスタとしてのnMOSトランジスタ30とからなる。pMOSトランジスタ29のゲートはグランドGNDに接続されており、pMOSトランジスタ29は常時オンしている。nMOSトランジスタ30のゲートにはCMOSインバータ31の出力信号DUが入力されている。インバータ28はpMOSトランジスタ29とnMOSトランジスタ30との間の出力端子から電源V1の遮断に基づく検出信号を出力する。

【0027】CMOSインバータ31は電源V2及びグランドGND間に直列に接続された第2のMOSトランジスタとしてのpMOSトランジスタ32及び第3のMOSトランジスタとしてのnMOSトランジスタ33からなる。CMOSインバータ31は第1のインバータ28の検出信号を反転した検出信号DUを出力する。

【0028】また、第1のインバータ28の出力端子とグランドGNDとの間にはプルダウン抵抗34が接続されている。同抵抗34は電源V1が遮断されたとき、インバータ28の出力端子の電位を速やかにグランドGNDレベルにするためのものである。

【0029】制御回路36は、ディレイ調整回路37及び第3の論理回路としての2入力OR回路39を備え、制御回路36は電源V2及びグランドGNDを動作電源として供給している。

【0030】ディレイ調整回路37は直列に接続された偶数個のインバータ38からなり、前記ロック検出信号LD1を遅延させた信号LD11を出力する。OR回路39は信号LD11を入力するとともに、不定出力検出回路27の検出信号DUを入力しており、両信号LD11, DUの電位に基づく信号S39を出力する。検出信号DUがLレベルであると、OR回路39はディレイ調整回路37の出力信号LD11を通過させる。また、検出信号DUがHレベルであると、OR回路39は出力信号LD11を遮断することによって出力信号LD11を無効化する。

【0031】さて、このように構成された半導体集積回路において、PLL周波数シンセサイザ24がロックしていてロック検出信号LD2がLレベルであるとする。このとき、不定出力検出回路27では第1のインバータ28の検出信号はHレベル（電源V1のレベル）となり、pMOSトランジスタ32はオフしnMOSトランジスタ33がオンし、CMOSインバータ31からはLレベルの検出信号DUが出力される。検出信号DUがLレベルであるため、nMOSトランジスタ30はオフされ、インバータ28の検出信号はHレベルに維持される。

【0032】検出信号DUがLレベルであるため、ロック検出信号LD1を遅延させた信号LD11がOR回路39を通過して信号S39として出力される。従って、PLL周波数シンセサイザ21がロックしていてロック検出信号LD1がLレベルであれば、信号S39はLレベルとなる。PLL周波数シンセサイザ21がアンロック状態でロック検出信号LD1がHレベルであれば、信号S39はHレベルとなる。

【0033】また、ロック検出信号LD2がLレベルであるため、信号S39がOR回路26を通過して信号S26として出力される。従って、ロック検出信号LD1がLレベルであれば、信号S26はLレベルとなり、ロック検出信号LD1がHレベルであれば、信号S26はHレベルとなる。

【0034】次に、電源V1が遮断されると、PLL周波数シンセサイザ21及びロック検出回路22が停止され、PLL周波数シンセサイザ21はアンロック状態となる。すると、ロック検出信号LD1の電位は不定となる。ロック検出信号LD1はディレイ調整回路37によ

って所定の遅延時間だけ遅れて信号LD11として出力される。

【0035】このとき、不定出力検出回路27では第1のインバータ28の検出信号はプルダウン抵抗34によってLレベル（グランドGNDのレベル）にされる。そのため、pMOSトランジスタ32はオンしnMOSトランジスタ33がオフし、CMOSインバータ31からはHレベルの検出信号DUが出力される。検出信号DUがHレベルになるため、nMOSトランジスタ30はオンされ、インバータ28の検出信号はLレベルに維持される。

【0036】検出信号DUがHレベルであるため、OR回路39の出力信号S39はHレベルとなり、ロック検出信号LD1を遅延させた信号LD11は遮断されて無効化される。

【0037】このとき、ロック検出信号LD2はLレベルであるが、信号S39がHレベルであるため、OR回路26の信号S26はHレベルとなり、PLL周波数シンセサイザ21のアンロック状態を検出する。その結果、半導体集積回路全体が所望の動作をする。

【0038】さて、本実施の形態は、以下の効果がある。

(1) 不定出力検出回路27は第1の電源V1が遮断されるとロック検出信号LD1の電位が不定であることを検出してHレベルの検出信号DUを出し、ロック検出信号LD1を無効化する。そのため、第1の電源V1が遮断されたときPLL周波数シンセサイザ21のアンロック状態を検出でき、半導体集積回路の低消費電力化を図りつつ、半導体集積回路を正常かつ安定に動作させることができる。

【0039】(2) 不定出力検出回路27は、インバータ28の出力端子とグランドGNDとの間にプルダウン抵抗34を設けているため、電源V1が遮断されたとき、同抵抗34によってインバータ28の検出信号を速やかにグランドGNDレベルにことができる。

【0040】(3) 不定出力検出回路27はインバータ28の検出信号をCMOSインバータ31に入力し、CMOSインバータ31の出力信号をインバータ28のnMOSトランジスタ30に入力するようにしている。そのため、インバータ28が第1の電源V1の遮断を検出してLレベルの検出信号を出力すると、Hレベルの検出信号DUに基づいてインバータ28の検出信号をLレベルに維持することができる。

【0041】(4) 制御回路36は、ロック検出回路22のロック検出信号LD1を遅延させた信号LD11を出力するディレイ調整回路37を設けた。そのため、不定出力検出回路27の検出信号DUの電位の変化を、ロック検出信号LD1の電位の変化よりも早くOR回路39に伝えることができ、電源V1が遮断されたときPLL周波数シンセサイザ21のアンロック状態を確実に検

出でき、半導体集積回路を正常かつ安定に動作させることができ。

【0042】なお、本発明は次のように任意に変更して具体化することも可能である。

(1) 前記不定出力検出回路27に代えて、図4に示す不定出力検出回路41を用いる。この不定出力検出回路41は前記不定出力検出回路27の構成におけるプルダウン抵抗34を省略し、第3のインバータとしてpMOSトランジスタ43及びnMOSトランジスタ44よりなるCMOSインバータ42を設けている。CMOSインバータ42はCMOSインバータ31の出力信号を反転した信号を制御回路に出力する。なお、この場合には、制御回路36におけるOR回路39をAND回路に変更すればよい。

【0043】この不定出力検出回路41においては、電源V1が遮断されると、第1のインバータ28の検出信号は徐々に低下しLレベル(グランドGNDのレベル)になる。そのため、CMOSインバータ31からHレベルの信号が出力され、CMOSインバータ42からLレベルの検出信号DUが出力される。なお、CMOSインバータ31の出力信号がHレベルであるため、インバータ28の出力信号はLレベルに維持される。この場合にも、前記不定出力検出回路27と同様の効果がある。

【0044】(2) 制御回路におけるディレイ調整回路として、図5に示すように、抵抗47及びコンデンサ48よりなる積分回路46を用いてもよい。この場合にも、前記ディレイ調整回路37と同様の作用及び効果がある。

【0045】(3) 不定出力検出回路27におけるCMOSインバータ31に代えて、pMOSトランジスタを負荷とし、nMOSトランジスタを出力トランジスタとするインバータを用いてもよい。この場合にも、前記CMOSインバータ31と同様の作用及び効果がある。

【0046】(4) 上記の形態において、電源V1が遮断されたとき、不定出力検出回路27の検出信号DUの出力の変化が、ロック検出信号LD1の電位が不定になるよりも速い場合には、ディレイ調整回路37を省略してもよい。この場合にも、上記形態と同様の作用及び効果がある。

【0047】上記の各実施の形態から把握できる請求項以外の技術的思想について、以下に記載する。

(イ) 前記不定出力検出回路は、前記第2の電源が動作電源として供給され、かつ、前記第2のインバータの出

力信号を反転した信号を出力する第3のインバータを備える請求項2~4のいずれか一項に記載の半導体集積回路。

【0048】インバータ……この明細書においてインバータとは入力信号の電位を反転した信号を出力する回路を意味し、CMOSインバータや、pMOSトランジスタを負荷とするインバータを含むものとする。

【0049】

【発明の効果】以上詳述したように、本発明は、低消費電力化を図りつつ、電源が遮断されても論理回路の出力信号の電位を予め定められた電位にすることができる。

【図面の簡単な説明】

【図1】本発明の原理説明図

【図2】実施の形態の半導体集積回路を示す回路図

【図3】図2の半導体集積回路の作用を示すタイムチャート

【図4】別の不定出力検出回路を示す回路図

【図5】別のディレイ調整回路を示す回路図

【図6】従来の半導体集積回路を示すブロック図

【図7】従来の半導体集積回路を示す回路図

【符号の説明】

11 第1の論理回路

12 第2の論理回路

13 不定出力検出回路

14 制御回路

28 第1のインバータ

29 抵抗回路としてのpMOSトランジスタ

30 第1のMOSトランジスタとしてのnMOSトランジスタ

31 第2のインバータとしてのCMOSインバータ

32 第2のMOSトランジスタとしてのpMOSトランジスタ

33 第3のMOSトランジスタとしてのnMOSトランジスタ

34 プルダウン抵抗

37 ディレイ調整回路

39 第3の論理回路としてのOR回路

GND 低電位電源としてのグランド

IN2 入力信号

S11 第1の信号

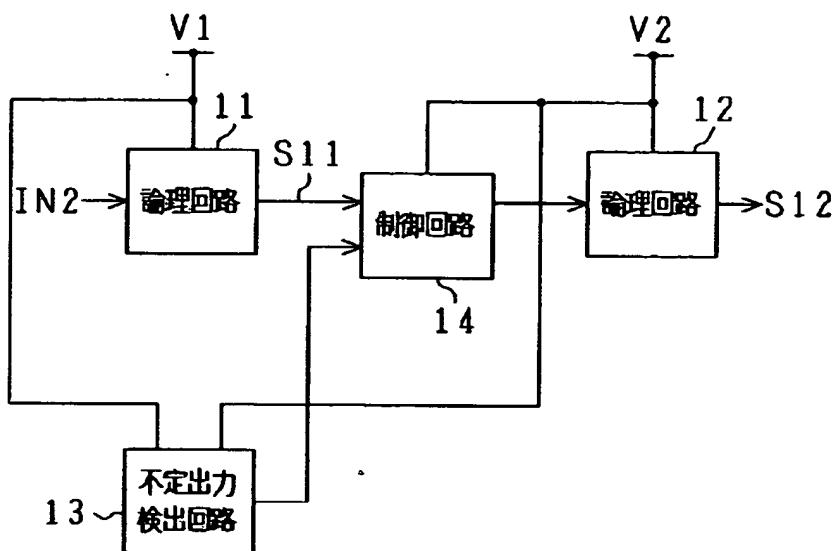
S12 第2の信号

V1 第1の電源

V2 第2の電源

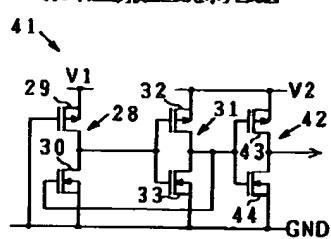
【図1】

本発明の原理説明図



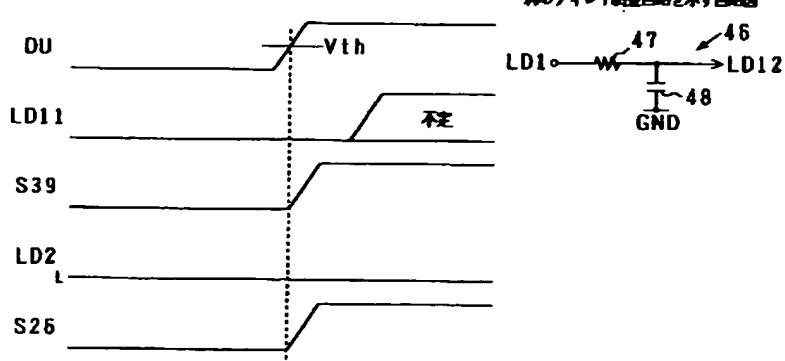
【図4】

別の不走出力検出回路を示す回路図



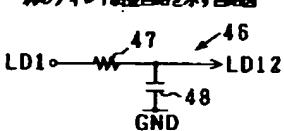
【図3】

図2の半導体素子の作用を示すタイムチャート

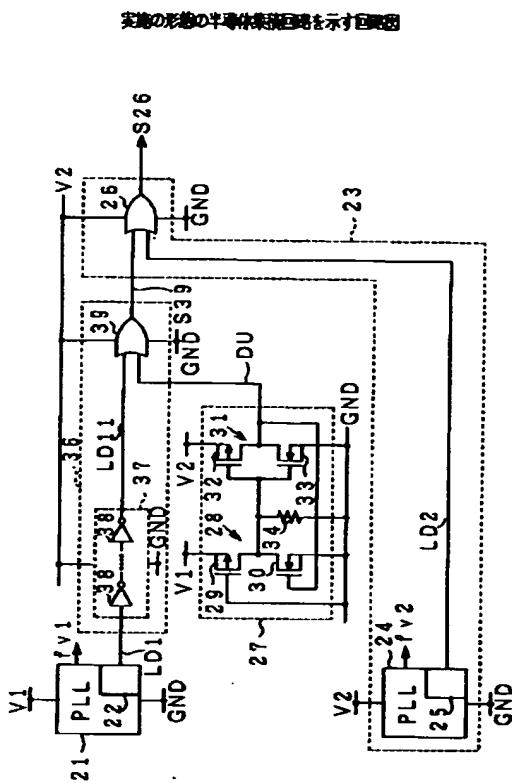


【図5】

別のアレイ構成回路を示す回路図

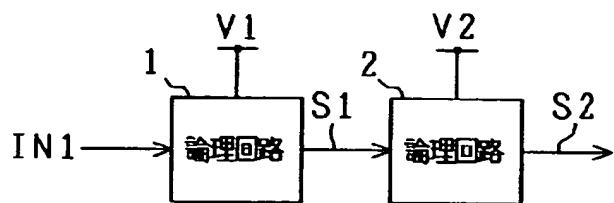


【図2】



【図6】

従来の半導体集積回路を示すブロック図



【図7】

